

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Tetsumei TSURUOKA, et al.

Filed : Concurrently herewith

For : PACKET PROCESSING DEVICE

Serial No. : Concurrently herewith

August 29, 2001

Assistant Commissioner of Patents
Washington, D.C. 20231

RECEIVED

NOV 04 2002

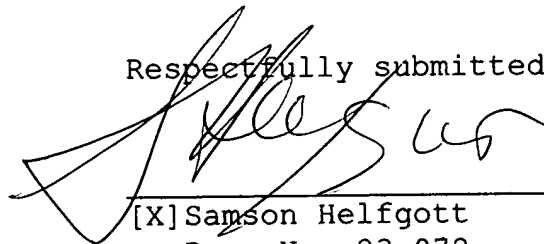
SUBMISSION OF PRIORITY DOCUMENT

Technology Center 2600

S I R:

Attached herewith are Japanese Patent Application No. 2000-373732 of December 8, 2000 whose priority has been claimed in the present application.

Respectfully submitted



☒ Samson Helfgott
Reg. No. 23,072
☐ Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJR 18.962
BHU:priority

Filed Via Express Mail
Rec. No.: EL639693953US
On: August 29, 2001
By: Brendy Lynn Belony

Any fee due as a result of this paper, not covered
by an enclosed check may be charged on Deposit Acct.
No. 08-1634.



日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
09/942216
08/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 8日

出 願 番 号

Application Number:

特願2000-373732

出 願 人

Applicant(s):

富士通株式会社

RECEIVED

NOV 04 2002

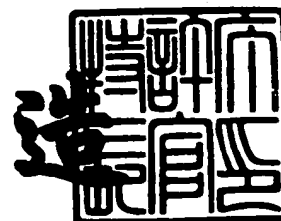
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0050928

【提出日】 平成12年12月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/02

【発明の名称】 パケット処理装置

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 鶴岡 哲明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 小島 祐治

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092152

 【弁理士】

 【氏名又は名称】 服部 毅巖

 【電話番号】 0426-45-6644

【手数料の表示】

 【予納台帳番号】 009874

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット処理装置

【特許請求の範囲】

【請求項 1】 パケットの処理を行うパケット処理装置において、
パケットを入力するパケット入力手段と、プロセッサ内部の情報を内部情報として引き継ぎ制御する内部情報引き継ぎ手段と、前記内部情報にもとづいて、入力したパケットを演算処理するパケット演算手段と、演算後のパケットを出力するパケット出力手段と、から構成される複数のパケット処理プロセッサと、
前記パケット処理プロセッサを直列接続する通信ラインと、
を有することを特徴とするパケット処理装置。

【請求項 2】 前記内部情報引き継ぎ手段は、前記内部情報として、状態フラグの値を引き継ぐことを特徴とする請求項 1 記載のパケット処理装置。

【請求項 3】 前記内部情報引き継ぎ手段は、前記内部情報として、パケット処理プログラムを格納するプログラムバンクの番地情報を引き継ぐことを特徴とする請求項 1 記載のパケット処理装置。

【請求項 4】 前記内部情報引き継ぎ手段は、前記内部情報として、ローカルレジスタに格納された演算結果を引き継ぐことを特徴とする請求項 1 記載のパケット処理装置。

【請求項 5】 前記内部情報引き継ぎ手段は、前記内部情報の引き継ぎタイミングを設定することを特徴とする請求項 1 記載のパケット処理装置。

【請求項 6】 前記内部情報引き継ぎ手段は、前記内部情報を選択的に引き継ぐことを特徴とする請求項 1 記載のパケット処理装置。

【請求項 7】 パケットの処理を行うパケット処理プロセッサにおいて、
パケットを入力するパケット入力手段と、
プロセッサ内部の情報を内部情報として引き継ぎ制御する内部情報引き継ぎ手段と、
前記内部情報にもとづいて、入力したパケットを演算処理するパケット演算手段と、
演算後のパケットを出力するパケット出力手段と、

を有することを特徴とするパケット処理プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パケット処理装置に関し、特に通信ネットワークに対するパケットの処理を行うパケット処理装置に関する。

【0002】

【従来の技術】

近年、コンピュータや様々な情報処理機器が、ネットワークにより相互接続し、通信システムの規模は拡大している。通信システムを構築するネットワークで現在主流なのは、I P (Internet Protocol) によるネットワークである。I P は、ネットワーク層に相当するコネクションレス型のプロトコルである。

【0003】

I P ネットワークにおけるパケット処理は、パケットヘッダのチェックサムの計算、宛先テーブルの検索、パケットヘッダ書き換え等のパケットを中継するのに必要な処理に加え、ネットワークにおける通信を制限するためのパケットフィルタリングの実装が求められる。

【0004】

これらの処理は、専用のハードウェアで行うには煩雑であるうえ、プロトコル自体の改訂に伴う処理手順の変更もありうるため、従来ではプロセッサによってソフトウェア処理するのが一般的であった。

【0005】

例えば、プロセッサとメモリをバスによって接続し、プロセッサがメモリ内に格納したプログラムのソフトウェア処理を行うことによって、パケット処理を実行する。

【0006】

しかし、こうしたパケット処理では、メモリへの読み出し／書き込みといったメモリへのアクセスが生じるためにオーバヘッドが増加し、さらにメモリ自身のアクセス帯域幅の制限により、パケット処理の高速化が困難であった。

【 0 0 0 7 】

そこで、特願平 1.1 - 1 5 8 5 1 4 号公報では、パケットデータを直接取り込むレジスタであるパケットアクセスレジスタをプロセッサ内に設け、このパケット処理プロセッサを、複数直列に接続している。

【 0 0 0 8 】

これにより、前段のパケット処理プロセッサのパケット処理結果出力を、次のパケット処理プロセッサのデータ入力とすることにより、1つのパケットはパイプライン処理で実行される。

【 0 0 0 9 】

このようなパイプライン処理系を構成することにより、従来のプロセッサとメモリを接続した構成よりも、効率的にパケット処理を行うことができる。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかし、上記のような従来技術では、パケット入出力部を持つプロセッサを直列に接続し、パケット処理を複数に分割して実行しても、接続したプロセッサ数に見合った性能向上は望めないといった問題があった。

【 0 0 1 1 】

パケット処理を複数に分割して実行した場合、処理途中の状態を、前段側プロセッサから後段側プロセッサへと引き継ぐことが必要であるが、従来技術では、この引き継ぐ情報をパラメータの形で行っていた。したがって、前段側プロセッサでは、パラメータを生成する処理が、また後段側プロセッサでは、そのパラメータを解釈して判定する処理が必要とされていた。

【 0 0 1 2 】

例えば、パケットのプロトコルタイプに応じて、対応する処理を分ける場合、パケットヘッダを解析してプロトコルタイプを判定する処理と、特定プロトコルに対して実行すべき処理と、をそれぞれ別プロセッサに分割する。

【 0 0 1 3 】

すると、前段側プロセッサでは、プロトコル判定結果にもとづく値をパラメータに変換して後段側へ送信し、後段側プロセッサでは、そのパラメータを自身が

処理対象とするプロトコルを示しているか否かを比較判定する処理が発生する。

【0014】

このような処理オーバーヘッドは、所要スループットが高くなれば、高くなるほど厳しくなる。例えば、処理が5ステップとしたとき、各プロセッサの許容処理時間が命令ステップ数換算で100ステップである場合は、オーバーヘッドは5%に過ぎないが、許容処理時間が10ステップになると50%に達し、さらに高いスループットを求められる場合は、事実上オーバーヘッドとなる処理が大半になってしまう。

【0015】

したがって、処理プロセッサをパイプライン構成に配備し、実行すべき処理を複数の処理ステージに分割して、1プロセッサあたりの処理量を抑制しようとしても、従来技術のように、プロセッサ間での情報のやりとりをパラメータという一般化した形で行っていると、上述のようにオーバーヘッドが増加してしまう。

【0016】

本発明はこのような点に鑑みてなされたものであり、オーバーヘッドを抑制し、パケットの高速処理を可能にしたパケット処理装置を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すような、パケットの処理を行うパケット処理装置1において、パケットを入力するパケット入力手段11と、プロセッサ内部の情報を内部情報として引き継ぎ制御する内部情報引き継ぎ手段12と、内部情報にもとづいて、入力したパケットを演算処理するパケット演算手段13と、演算後のパケットを出力するパケット出力手段14と、から構成される複数のパケット処理プロセッサ10-1～10-k～10-nと、パケット処理プロセッサ10-1～10-k～10-nを直列接続する通信ラインLと、を有することを特徴とするパケット処理装置1が提供される。

【0018】

ここで、パケット入力手段11は、パケットを入力する。内部情報引き継ぎ手

段 1 2 は、プロセッサ内部の情報を内部情報として引き継ぎ制御する。パケット演算手段 1 3 は、内部情報にもとづいて、入力したパケットを演算処理する。パケット出力手段 1 4 は、演算後のパケットを出力する。通信ライン L は、パケット処理プロセッサ 1 0 - 1 ~ 1 0 - k ~ 1 0 - n を直列接続する。

【 0 0 1 9 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。図 1 は本発明のパケット処理装置の原理図である。パケット処理装置 1 は、パケット処理プロセッサ 1 0 - 1 ~ 1 0 - k ~ 1 0 - n を含み、パケット処理プロセッサ 1 0 - 1 ~ 1 0 - k ~ 1 0 - n は、通信ライン L で直列（縦列）接続して、パイプライン処理構成をとる。

【 0 0 2 0 】

パケット処理プロセッサ 1 0 - 1 ~ 1 0 - k ~ 1 0 - n （総称する場合は、パケット処理プロセッサ 1 0 ）に対し、パケット入力手段 1 1 は、パケットを入力する。

【 0 0 2 1 】

内部情報引き継ぎ手段 1 2 は、プロセッサ内部の情報を内部情報として引き継ぎ制御する。すなわち、前段側のパケット処理プロセッサから送信された内部情報を受信して引き継ぎ、また自己のプロセッサの内部情報を後段側のパケット処理プロセッサへ送信する。

【 0 0 2 2 】

なお、ここでの内部情報とは、従来技術のような、内部状態を一旦変換して生成したパラメータではなく、パケット処理プロセッサの内部実行状態そのままを示す情報のことである。本発明ではこのような内部情報をプロセッサ間で引き継ぐため、パラメータの生成処理やパラメータの解釈判定処理等が不要となり、オーバーヘッドを削減することができる。

【 0 0 2 3 】

パケット演算手段 1 3 は、前段側から送信された内部情報にもとづいて、入力したパケットを演算処理する。パケット出力手段 1 4 は、演算後のパケットを後

段側へ出力する。

【0024】

なお、図中、内部情報D aは、前段側から送信された内部情報である。内部情報D bは、後段側へ送信する、パケット処理プロセッサ10の内部実行状態を示す内部情報である。パケットP aは、前段側で処理されたパケットである。パケットP bは、後段側へ送信する、パケット処理プロセッサ10で処理されたパケットである。

【0025】

次に本発明のパケット処理装置1を搭載する装置例としてスイッチング・ルータについて説明する。図2はスイッチング・ルータの構成を示す図である。

スイッチング・ルータ100は、複数のラインカードと、スイッチ部120とを含み、これらはアプリケーション・インタフェースを通じてソフトウェアからの動作設定を受ける。

【0026】

ラインカード110に対し、物理リンクから受信したデータは、レシーバ111bでデータストリームに変換され、フレーム112を通じてパケットとして抽出される。

【0027】

パケット・クラシファイ部113は、抽出されたパケットに対し、中継先判定等のパケット・クラシファイ処理を行う。また、宛先や必要な品質制御を決定し、スイッチ・インタフェース部114を介し、スイッチ部120へとパケットを引き渡す。スイッチ部120は、パケット・クラシファイ処理によって指定された出力先に、パケットを中継する。

【0028】

一方、スイッチ部120からスイッチ・インタフェース部114を介し、パケットの中継を受けたラインカード110は、パケット・クラシファイの結果にもとづき、定められたキュー115のパケットをフレーミング処理及び物理レイヤによる物理リンクに応じた形式に変換して、フレーム112、ドライバ111aを介して物理リンクへ送出する。

【 0 0 2 9 】

このスイッチング・ルータ 1 0 0 に対する本発明のパケット処理装置 1 の機能は、パケット・クラシファイ部 1 1 3 に用いられている。そして、ここでパケットのprotocols種別を判定し、パケットヘッダにもとづき、宛先を判定し、スイッチ・インタフェース部 1 1 4、スイッチ部 1 2 0 に対し、どこへ中継するかの情報をパケットとともに通知し、またパケットの内容に応じて適用品質制御を決定する。

【 0 0 3 0 】

次に本発明のパケット処理装置 1 の動作（第 1 の実施の形態とする）についてさらに詳しく説明する。図 3 は 3 段構成のパケット処理プロセッサを含むパケット処理装置の構成を示す図である。

【 0 0 3 1 】

パケット処理装置 1 a は、パケット処理プロセッサ（以下、単にプロセッサと呼ぶ）1 0 a ～ 1 0 c を含み、各プロセッサはパケット入力手段 1 1 a ～ 1 1 c にパケットが到着するタイミングに同期して処理プログラムを起動する。図では、パケットの到着タイミングを別信号（パケット到着タイミング T 0 ～ T 3 ）として伝達している。

【 0 0 3 2 】

そして、時間の経過（内部クロックのサイクル経過）にしたがって、各プロセッサ個別に持つプログラム（またはマイクロコード）1 6 a ～ 1 6 c にもとづいて処理を実行する。個々のプロセッサは、処理スループットによって決まる許容処理時間（例えば、4 サイクル）分の処理を実行すると、そのパケットに対するプログラム処理を終了する。

【 0 0 3 3 】

入力されたパケットは、プロセッサ内部のシフトレジスタ構造のパケットアクセスレジスタ 1 5 a ～ 1 5 c を経て、パケット出力手段 1 4 a ～ 1 4 c へと順次送られる。また、パケット出力タイミングにあわせ、パケット到着タイミングも次段へと出力する。

【 0 0 3 4 】

このとき、パケット到着タイミングを次段のプロセッサに引き渡すタイミングで、内部情報引き継ぎ手段 1 2 a ~ 1 2 c は前段側プロセッサの内部情報を、パケット処理終了時に、後段側プロセッサに引き渡す。後段側プロセッサは、その内部情報をパケット到着タイミングと同期して自身に取り込む。

【 0 0 3 5 】

すると、実際には、後段側プロセッサは、パケット処理を新規に開始しているにもかかわらず、前段のプロセッサの実行情報を引き継いでいるため、前段側プロセッサの処理をそのまま継続するのと同様な処理が行える。

【 0 0 3 6 】

次に上記の内容について、図に示す 3 段構成のパケット処理系の例にもとづいて説明する。1 段目のプロセッサ 1 0 a は、入力されたパケットデータ P i n をパケット入力手段 1 1 a で受け取る。そして、パケット先頭を示すパケット到着タイミング T 0 に同期して、自身が実行する処理プログラムを起動する。

【 0 0 3 7 】

このとき、プロセッサ 1 0 a は、最初のプロセッサであるため、前段のプロセッサから引き継ぐ内部状態は存在しない。

パケットデータ P i n は、プロセッサ 1 0 a 内部のパケットアクセスレジスタ 1 5 a を経て、一定のレイテンシで順次パケット出力手段 1 4 a へと送られていく。この間にパケット演算手段 1 3 a は、プログラム 1 6 a によるパケット処理を実行し、処理スループットによって決まる許容処理時間内の処理を実行して、そのパケットに対するプログラム処理を終了する。

【 0 0 3 8 】

そして、パケット出力手段 1 4 a は、プロセッサ 1 0 a で処理したパケット P 1 及びパケット到着タイミング T 1 をプロセッサ 1 0 b へと出力する。このとき、内部情報引き継ぎ手段 1 2 a は、プロセッサ 1 0 a 自身の内部状態を示す内部情報 D 1 を出力する。

【 0 0 3 9 】

2 段目のプロセッサ 1 0 b に対し、プロセッサ 1 0 a のパケット出力手段 1 4 a からの出力を、パケット入力手段 1 1 b で受信し、パケット到着タイミング信

号 T 1 に同期して、自身が実行する処理プログラムを起動する。

【 0 0 4 0 】

この起動に先立ち、プロセッサ 1 0 b はプロセッサ 1 0 a が出力する内部情報 D 1 を取り込み、自身の内部状態とする。

プロセッサ 1 0 b 内でパケットデータ P 1 は、パケットアクセスレジスタ 1 5 b を通じて、一定のレイテンシでパケット出力手段 1 4 b へと送られていく。この間にパケット演算手段 1 3 b は、プログラム 1 6 b によるパケット処理を実行し、処理スループットによって決まる許容処理時間内の処理を実行して、そのパケットに対するプログラム処理を終了する。

【 0 0 4 1 】

そして、パケット出力手段 1 4 b は、プロセッサ 1 0 b で処理したパケット P 2 及びパケット到着タイミング T 2 をプロセッサ 1 0 c へと出力する。このとき、内部情報引き継ぎ手段 1 2 b は、プロセッサ 1 0 b 自身の内部状態を示す内部情報 D 2 を出力する。

【 0 0 4 2 】

3 段目のプロセッサ 1 0 c に対し、プロセッサ 1 0 b のパケット出力手段 1 4 b からの出力を、パケット入力手段 1 1 c で受信し、パケット到着タイミング T 2 に同期して自身が実行する処理プログラムを起動する。

【 0 0 4 3 】

この起動に先立ち、プロセッサ 1 0 c はプロセッサ 1 0 b が出力する内部情報 D 2 を取り込み、自身の内部状態とする。

プロセッサ 1 0 c 内でパケットデータ P 2 は、パケットアクセスレジスタ 1 5 c を通じて、一定のレイテンシでパケット出力手段 1 4 c へと送られていく。この間にパケット演算手段 1 3 c は、プログラム 1 6 c によるパケット処理を実行し、処理スループットによって決まる許容処理時間内の処理を実行して、そのパケットに対するプログラム処理を終了する。

【 0 0 4 4 】

そして、パケット出力手段 1 4 c は、プロセッサ 1 0 c で処理したパケット P o u t 及びパケット到着タイミング T 3 を外部へ出力する。このとき、プロセッ

サ 1 0 c はパケット処理系の最終段であるため、プロセッサ 1 0 c の内部情報 D 3（図示せず）は出力する必要はない。

【 0 0 4 5 】

図 4 はパケット処理装置 1 a に対する内部情報の引き継ぎ動作のタイミングチャートを示す図である。プロセッサ 1 0 a ～ 1 0 c のそれぞれに対し、パケット到着タイミング T 0 ～ T 2、入力パケットデータ P i n、P 1、P 2、内部情報 D 1 ～ D 3、実行命令 M 1 ～ M 3、出力パケットデータ P 1、P 2、P o u t、を示している。

【 0 0 4 6 】

ここで、内部情報の引き継ぎ動作について説明すると、プロセッサ 1 0 a では、パケットデータ P i n を実行命令 C 1 ～ C 4 で処理してパケットデータ P 1 を出力する。この際、実行命令 C 1 ～ C 4 に対応する内部状態がそれぞれ S 0 ～ S 3 であり、内部状態 S 4 は次段のプロセッサ 1 0 b に引き継がれる。そして、プロセッサ 1 0 b では、パケットデータ P 1 を引き継いだ状態からパケット処理を行う（プロセッサ 1 0 a の内部状態 S 4 は、プロセッサ 1 0 b の内部状態 S 0 に対応している）。以降同様である。

【 0 0 4 7 】

次に第 2 の実施の形態について説明する。第 2 の実施の形態は、プロセッサ間で引き継ぐ内部情報として、状態フラグを引き継ぐ場合である。プロセッサ 1 0 では、命令実行結果によってセット／クリアが変化し、また、その値によって命令の実行動作を変える状態フラグを備える。プロセッサ 1 0 は、各命令実行後、その実行結果を評価して、状態フラグのフラグ値を更新する。

【 0 0 4 8 】

フラグ値には、例えば、キャリーや零等があり、命令実行結果でキャリー（桁上がり）が発生したならば、プロセッサ 1 0 は、キャリーフラグを立てる。また、こうしたフラグの値に応じて命令の動作が変わるものとして条件分岐命令や条件実行命令がある。

【 0 0 4 9 】

すなわち、条件分岐は、指定したフラグ値が指定条件値を満たしていれば指定

先の命令から処理を継続する。また、条件実行は、指定したフラグ値が指定条件値を満たしているときにその命令を実行し、満たしていなければその命令を実行しない（命令クロックサイクルは消費するので動作的にはノーオペレーションと等価になる）。

【0050】

このような状態フラグの値を内部情報として引き継ぐことにより、例えば、前段のプロセッサにおいては、フラグ値の判定処理まで実行し、後段のプロセッサではその条件値によって異なる処理をする、という処理分担が可能となる。

【0051】

次に第3の実施の形態について説明する。第3の実施の形態は、内部情報としてバンク情報を引き継ぐ場合である。図5はプログラムバンクを示す図である。

プロセッサ10は、命令手順を複数のプログラムバンクに分けて格納する。また、プログラムバンクの切替え処理は、命令手順中のプログラムバンク切替え命令にしたがって行う。切替え命令が実行された後は、その命令が指定する番地へ行き、その番地のプログラムから処理を開始する。このようなことを繰り返して、最終番地まで実行していく。

【0052】

図では、プログラムバンクB1～B4に対し、カウンタ20で指示された番地にしたがって、命令が切り替わる様子を示している。最初、プログラムバンクB1の0番地～2番地に格納されている命令を実行し、その後、プログラムバンクB3の2番地に切り替わる。

【0053】

そして、プログラムバンクB3の2番地～6番地に格納されている命令を実行し、その後、プログラムバンクB2の6番地に切り替わり、プログラムバンクB2の最終番地まで命令を実行する。

【0054】

このようなプログラムバンク切替え処理に対し、1つのプロセッサが担当するパケット処理を、例えば、入力パケットフォーマットに応じて、各プロセッサ間で実行する命令を変えるといったような分岐処理に適用することができる。この

場合に、プロセッサ間でプログラムバンクの番地を内部情報として引き継ぐようにすれば、効率のよいパイプライン処理が可能になる。

【 0 0 5 5 】

次に第 4 の実施の形態について説明する。第 4 の実施の形態は、内部情報として、ローカルレジスタに格納された情報を引き継ぐ場合である。プロセッサ 1 0 は、演算結果を内部で保持するためのローカルレジスタ（例えば、パケット演算手段 1 3 内に含まれる）を備えている。

【 0 0 5 6 】

例えば、パケットから特定のフィールドを取り出した値を加工する場合、パケットから特定のフィールドを抽出し加工を行い、加工結果をローカルレジスタに格納する。そして、ローカルレジスタに格納された加工結果を内部情報として、次段のプロセッサへ引き継ぎ、次段のプロセッサで再度加工の処理を実行する。

【 0 0 5 7 】

このように、ローカルレジスタに格納された情報を内部情報として、引き継ぐようにすれば、効率のよいパイプライン処理が可能になる。

次に第 5 の実施の形態について説明する。ここまでの説明では、各プロセッサの処理が、時間軸上でオーバーラップしない例について説明したが、第 5 の実施の形態では、連続する 2 つのプロセッサについて前段側がパケットスループットで許容される処理時間を使い尽くすより前に、後段側のプロセッサでパケット処理を開始する場合である。

【 0 0 5 8 】

例として、各プロセッサ内でのパケット蓄積時間が、パケットスループットで許容される処理時間より短い場合を考える。この場合、前段側のパケット処理が完了してから後段側にその実行時のプロセッサ内部の処理状態を引き継ごうとしても、その時点では後段側でのパケット処理が開始されているため、引き継ぐことができない。

【 0 0 5 9 】

ところが、前段側ですべての処理を完了する前であっても、後段側が処理を開始するにあたり、必要な情報がすべて用意できているなら、その内部状態を後段

の packets 処理に引き継げば、その後も引き続き前段側のプロセッサがその packets に対し残った処理を継続できる。このとき、前段側プロセッサが、その残った処理として行えるのは、後段側プロセッサに引き継ぐべき内部状態に関与しない処理である。

【 0 0 6 0 】

第 1 の実施の形態では、packets 処理終了時が、内部情報の通知を行うタイミングとなっているが、第 5 の実施の形態では、packets 処理が終了する前に、プロセッサの内部状態を後段に通知する処理を起動するタイミングを発生する。

【 0 0 6 1 】

具体的な方法としては、例えば、各プロセッサで発生する packets のレイテンシによって定期的に通知時期を定める方法、プログラム実行開始から何サイクル目に内部情報を後段へ出力するかを設定する方法等がある。

【 0 0 6 2 】

次に第 6 の実施の形態について説明する。第 1 ～第 5 の実施の形態では、内部情報を各プロセッサ間で必ず引き継ぐものとした。しかし、内部状態を引き継ぐことが不都合になるケースがある。

【 0 0 6 3 】

すなわち、隣接するプロセッサ同士で実行すべき処理の関連性あるいは連続性が疎である場合に、前段の情報を引き継ぐと効率のよい packets 処理ができない。

【 0 0 6 4 】

例えば、前段側プロセッサで処理プロトコル別にプログラムバンクを使い分けており、後段側プロセッサではプロトコル非依存の処理を行う場合に、プログラムバンクの値を引き継ぐような操作を行うと、それぞれのプログラムバンクに同じプログラム命令を記述する必要が出てきて効率的ではない。

【 0 0 6 5 】

したがって、第 6 の実施の形態では、内部情報を引き継ぐか否かの設定を行えるようにする。これにより、処理形態に応じて最適な packets 処理が可能になる。

【 0 0 6 6 】

図 6 は内部情報の選択的引き継ぎ制御の構成を示す図である。この例では、プログラムバンク番地と状態フラグとを、それぞれ独立に前段から引き継ぐか否かを指定することを可能としている。

【 0 0 6 7 】

設定レジスタ 1 3 1 は、内部情報を引き継ぐか否かの内容を保持し、その旨を AND 素子 1 3 5 a、1 3 5 b に送信する。タイミング制御部 1 3 2 は、パケット到着タイミングを受信してリタイミングし、内部情報更新タイミング信号として AND 素子 1 3 5 a、1 3 5 b に送信する。

【 0 0 6 8 】

バンク状態保持 F F 1 2 3、フラグ状態保持 F F 1 2 4 は、それぞれプロセッサ内にて実行プログラムバンク値、フラグ値を保持し、プロセッサの命令実行を制御するとともに、その実行結果によって更新される仕組みを持つ。

【 0 0 6 9 】

AND 素子 1 3 5 a は、設定レジスタ 1 3 1 がバンク状態引き継ぎ許可としていたときのみバンク状態保持 F F 1 2 3 に更新タイミング信号を出力し、バンク状態保持 F F 1 2 3 は、このタイミング信号を受信したとき、バンク状態通知入力の値を取り込む。

【 0 0 7 0 】

AND 素子 1 3 5 b は、設定レジスタ 1 3 1 がフラグ状態引き継ぎ許可としていたときのみ、フラグ状態保持 F F 1 2 4 に更新タイミング信号を出力し、フラグ状態保持 F F 1 2 4 は、このタイミング信号を受信したときにフラグ状態通知入力の値を取り込む。

【 0 0 7 1 】

このように、設定レジスタ 1 3 1 に外部から引き継ぎ有無を設定しておいて、その設定内容に応じ、パケットタイミング信号に同期した状態フリップフロップの更新を、マスクまたは許可する。このような構成で、内部情報を選択的に引き継ぐことで、より適切なパケット処理を行うことが可能になる。

【 0 0 7 2 】

以上説明したように、本発明のパケット処理装置 1 は、複数のプロセッサを直列配備し、内部情報の引き継ぎ制御を行って、処理内容を複数のプロセッサで分割する構成とした。

【0073】

これにより、プロセッサ間処理の引き継ぎに伴うオーバーヘッドを抑制することができる。また、1 プロセッサあたりの許容処理時間が少ない場合でも、本発明を適用したプロセッサの数を増やすことで、パケット処理スループットを維持したままパケット処理を行うことが可能になる。

【0074】

なお、上記の第 1 ～ 第 6 の実施の形態で内部情報を引き継ぐ場合には、内部情報すべてを引き継ぐような構成としたが、一部の情報のみを引き継ぐような構成にしてもよい。

【0075】

【発明の効果】

以上説明したように、本発明のパケット処理装置は、直列接続された複数のパケット処理プロセッサ間で、プロセッサ内部の情報を内部情報として引き継いで、パケットの演算処理を行う構成とした。これにより、オーバーヘッドを抑制し、パケットを高速に処理することが可能になる。

【図面の簡単な説明】

【図 1】

本発明のパケット処理装置の原理図である。

【図 2】

スイッチング・ルータの構成を示す図である。

【図 3】

3 段構成のパケット処理プロセッサを含むパケット処理装置の構成を示す図である。

【図 4】

パケット処理装置に対する内部情報の引き継ぎ動作のタイミングチャートを示す図である。

【図 5】

プログラムバンクを示す図である。

【図 6】

内部情報の選択的引き継ぎ制御の構成を示す図である。

【符号の説明】

1 パケット処理装置

1 0、1 0 - 1 ~ 1 0 - k ~ 1 0 - n パケット処理プロセッサ

1 1 パケット入力手段

1 2 内部情報引き継ぎ手段

1 3 パケット演算手段

1 4 パケット出力手段

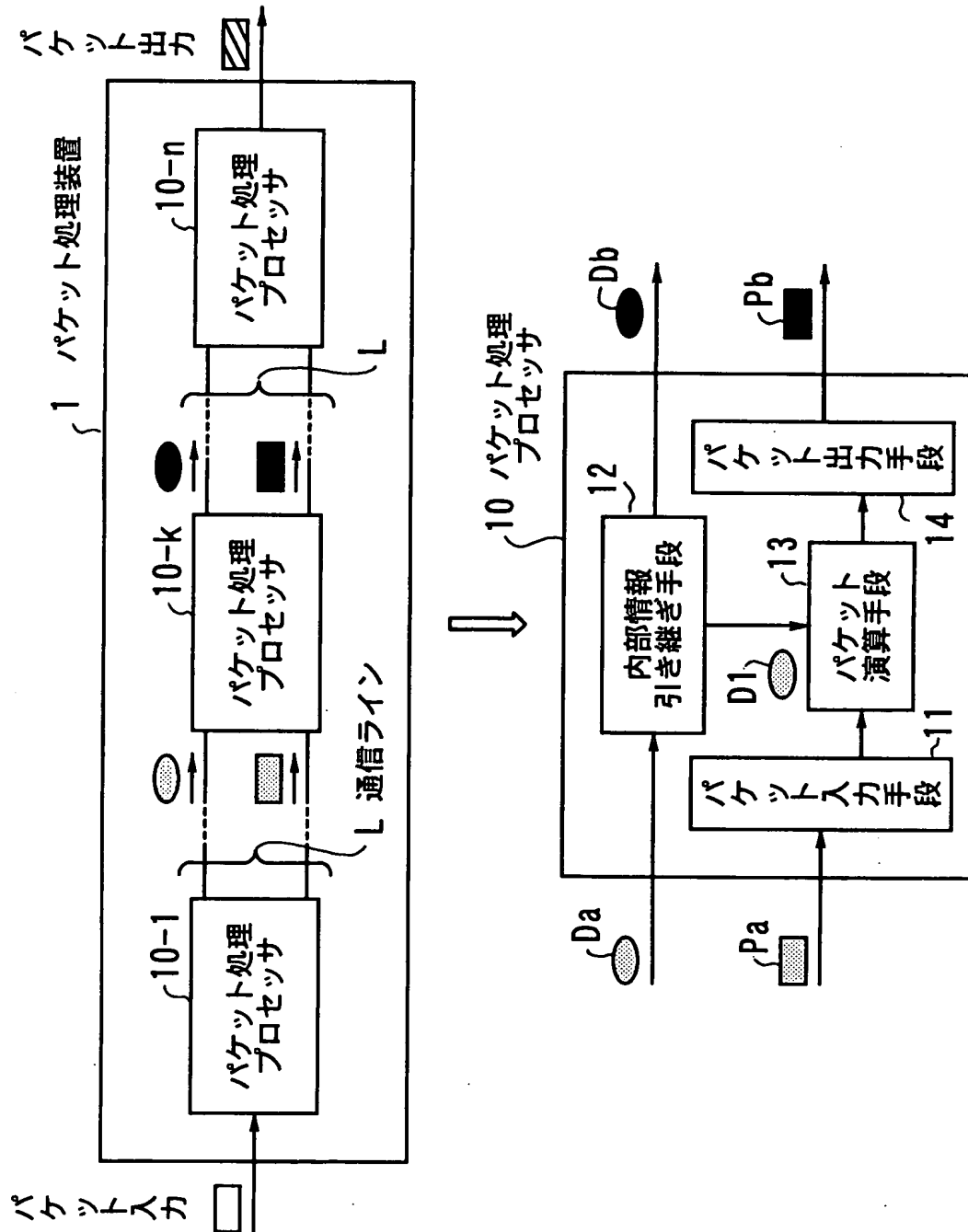
L 通信ライン

D a、D b 内部情報

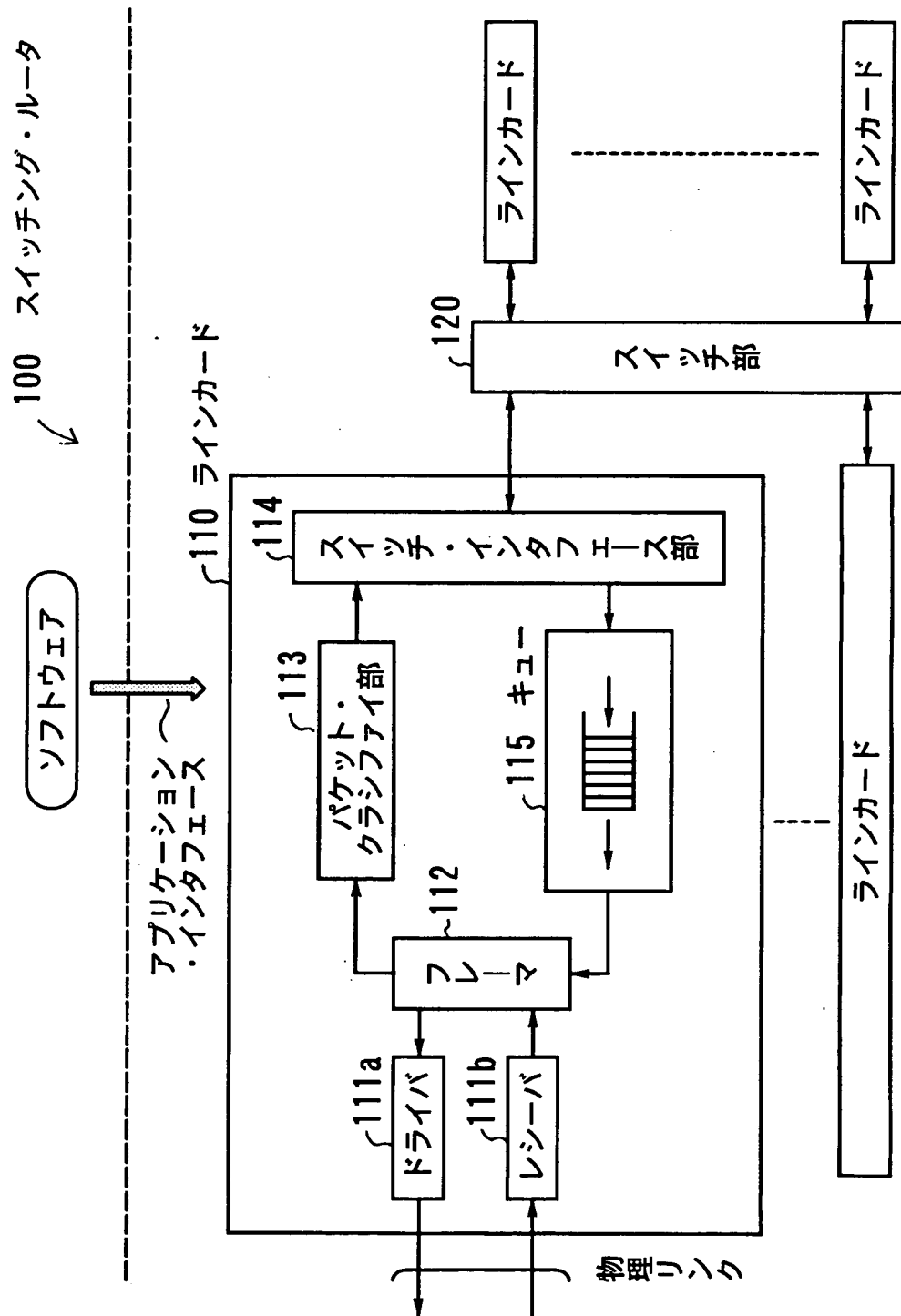
P a、P b パケット

【書類名】 図面

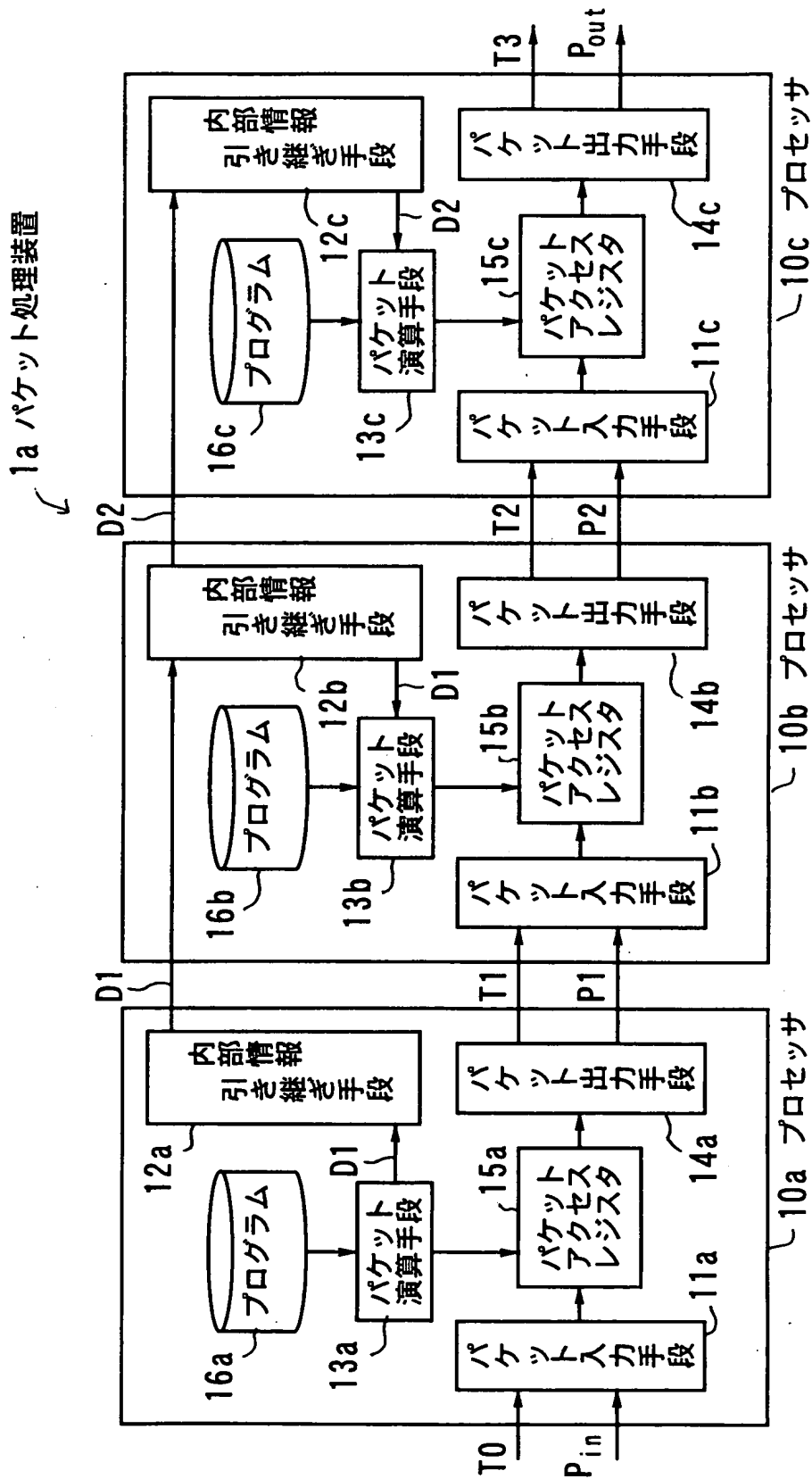
【図 1】



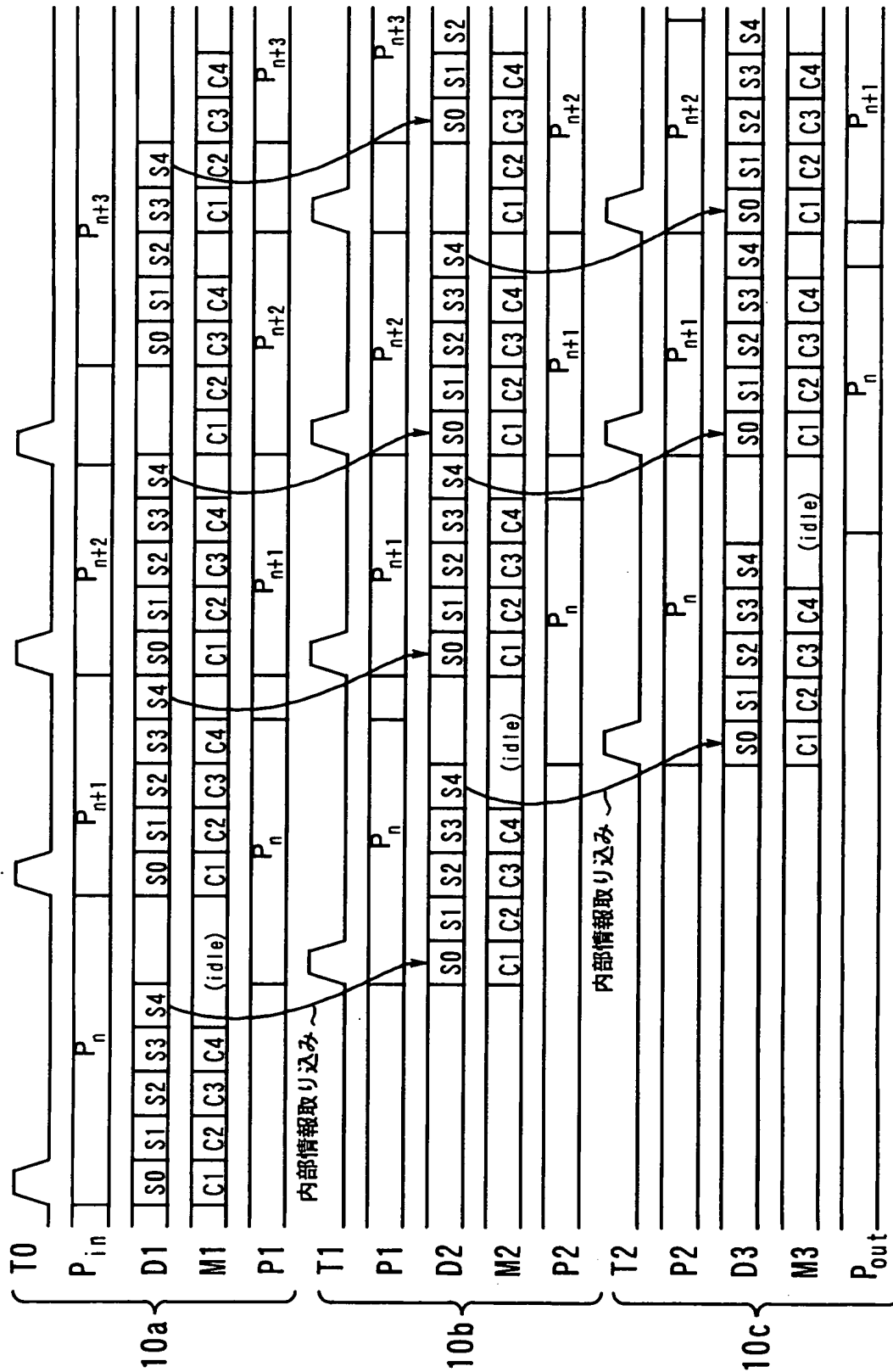
【図 2】



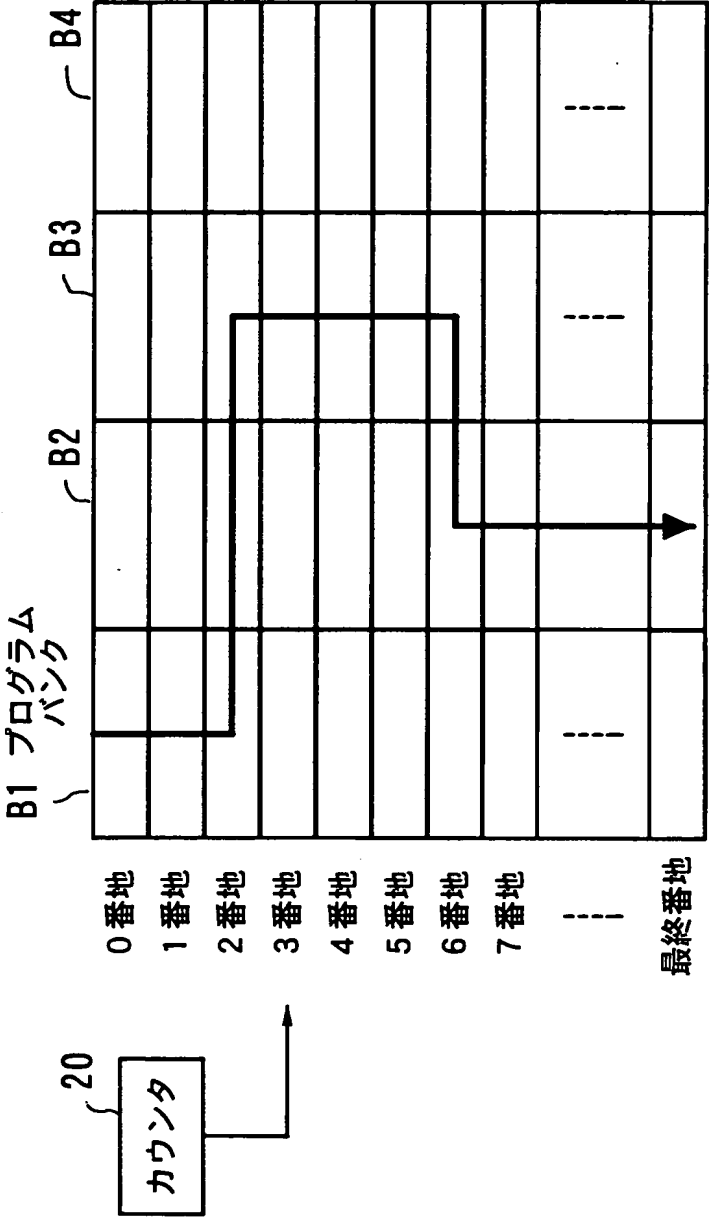
【図 3】



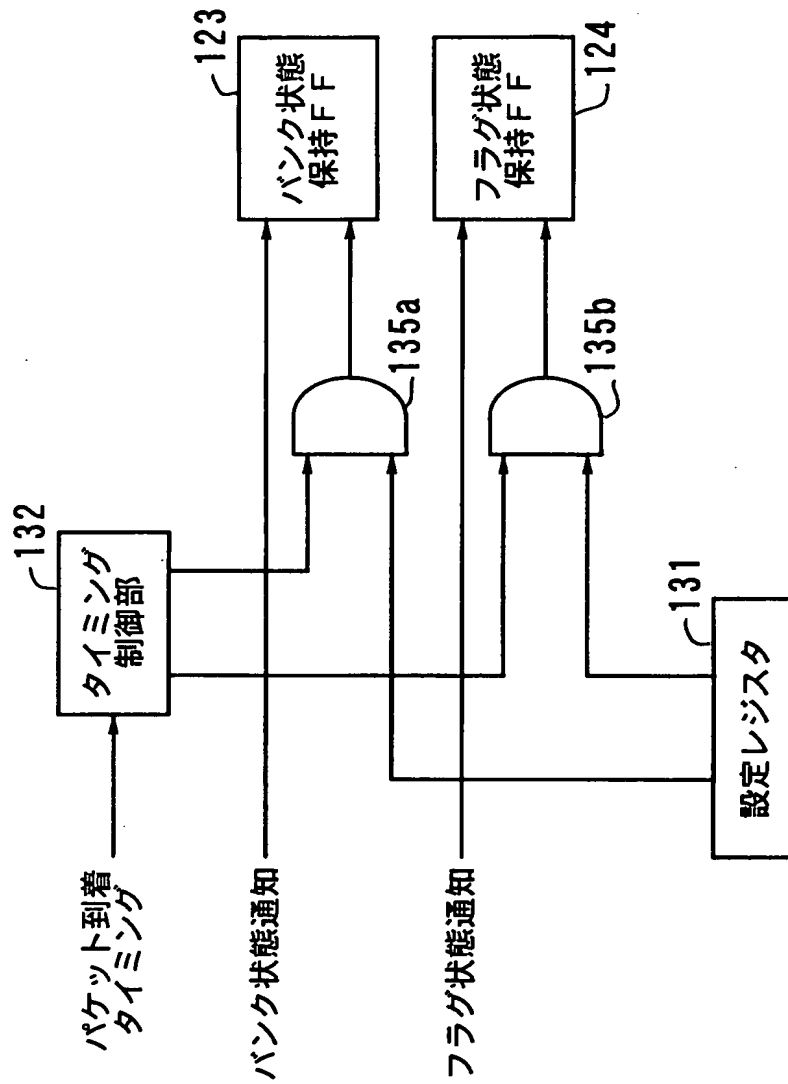
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 オーバヘッドを抑制し、パケットの高速処理を行う。

【解決手段】 パケット入力手段 1 1 は、パケットを入力する。内部情報引き継ぎ手段 1 2 は、プロセッサ内部の情報を内部情報として引き継ぎ制御する。パケット演算手段 1 3 は、内部情報にもとづいて、入力したパケットを演算処理する。パケット出力手段 1 4 は、演算後のパケットを出力する。通信ライン L は、パケット処理プロセッサ 1 0 - 1 ~ 1 0 - k ~ 1 0 - n を直列接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社